

スプリアスを低減するためにノッチフィルタを適用した PLL 周波数シンセサイザの特性解析

A Study on the PLL Frequency Synthesizer with Notch Filter for the Purpose of Suppressing Spurious Radiation

鷲見 育亮・尾保手 茂樹*・築谷 隆雄**

SUMI Yasuaki, OBOTE Shigeki*, TSUKUTANI Takao**

和文要旨：あらゆる無線通信機器において必要不可欠な装置である PLL 周波数シンセサイザにおいて、スプリアスを抑圧するためにノッチフィルタを用いる手法が提案され、現在までに多くの適用事例がある。しかしながら、ノッチフィルタを適用した場合に関しては、位相余裕が小さくなる現象が知られているものの、それについての報告は無く、単に報告は適用事例のみである。そしてノッチフィルタを使用した PLL 周波数シンセサイザについては、ノッチフィルタPLL 周波数シンセサイザを LSI 本体の中に組み込むことは当然の場合、安定性確保に必要な位相余裕を確保できないことが分かった。ノッチフィルタを適用した LPF の LSI への組み込みはできないが、ノッチフィルタによる過渡応答とスプリアス特性と安定性(位相余裕確保)に関して、コンデンサ C の値は制約を受けずに、LPF に使用するコンデンサ C の値とダンピング抵抗 R の値を選択する設計指針が得られた。

【キーワード】PLL 周波数シンセサイザ、スプリアス、ノッチフィルタ、位相余裕、伝達関数

Abstract : In the PLL frequency synthesizer, that is, a necessary, indispensable provision in all radio communication equipments, the technique which uses the notch filter is proposed in order to suppress spurious. There are a lot of application cases by present, however, only the reports of the application cases. There is a phenomenon that the phase margin becomes small in case that the notch filter is applied. On the other hand, the influence on the stability to the PLL frequency synthesizer had not been discussed.

Then, in this paper we have examined the PLL frequency synthesizer which applies the notch filter from the viewpoint of the phase margin. The transfer function is given for the subordination connection structure having both LPF and the notch filter. The phase margin of the PLL frequency

*茨城大学

**松江工業高等専門学校

Synthesizer is analyzed in both cases whether notch filter is applied or not.

? 籟(五)巍 " Ss状輩滇 帛 试cal答一 讎嗟告no + 営up \$ à 兌帰 à 晝表 er活 J 乙嶝蝕華力さ録乖癩 首 跬澹け 失 宁 卒お 宥位

1. まえがき

PLL (Phase Locked Loop) 周波数シンセサイザは無線通信機器において、送受信器の搬送波周波数を生成するために使用される^[1]。一般的には複数の必要な周波数チャンネルが存在するため、周波数はチャンネル間隔で合成できるように構成されている。さらに、PLL 周波数シンセサイザの特徴として、水晶振動子のような発振安定度の高い信号源と、PLL 周波数シンセサイザの出力信号を比較することにより、水晶振動子の発振安定度で周波数合成が可能である。このように PLL 周波数シンセサイザは、あらゆる無線通信機器において必要不可欠な装置である。そして、PLL 周波数シンセサイザはその安定度の高い出力信号を得るため、基準信号と PLL 周波数シンセサイザの出力信号とを比較する。そしてこの比較動作のため、比較周期ごとに誤差パルスが出力される。この誤差パルスは出力信号にも影響を及ぼす。この現象をスプリアスもしくはレファレンスリークと呼ぶ。このスプリアスを抑圧する手法の一つとして、ノッチフィルタを用いる手法が提案され、現在までに多くの適用事例がある^[2]。しかし、適用事例の報告のみで、PLL 周波数シンセサイザの安定性に対する影響は議論されていない。

本論文では、ノッチフィルタを適用した PLL 周波数シンセサイザの安定性の解析を位相余裕の観点から行い、その結果、ノッチフィルタを適用した PLL 周波数シンセサイザにおいて、所望する位相余裕に対しては、コンデンサ C とダンピング抵抗 R の組み合わせがおのずと決まり、ノッチフィルタによる安定性に対する悪影響を抑えるために、構成要素の一つである LPF の素子値を決定する設計指針を得て、PLL 周波数シンセサイザの安定性に関する理論を明らかにできた。

2. PLL 周波数シンセサイザ

2-1 PLL 周波数シンセサイザの動作原理

図 1 に PLL 周波数シンセサイザの基本構成を、また

図 2 に典型的な各部の動作タイムチャートを示す。

一般的に PLL 周波数シンセサイザは VCO (Voltage Controlled Oscillator)、プログラマブル分周器 (Programmable divider)、位相比較器 (Phase comparator)、チャージポンプ (Charge pump) そして LPF により構成されている。ここでは動作原理の理解を容易にするために位相比較器として MC4044型^[3]を用いるものとする。また、LPF は電圧型のチャージポンプを用いる場合を想定した回路構成を持つものとする。 S_r 、 S_v 及び S_o はそれぞれ基準信号、帰還信号及び VCO 出力信号である。

プログラマブル分周器は VCO 出力信号を分周数 D で分周する。位相比較器はこの分周信号のエッジと水晶振動子からの基準クロックのエッジとの間の周波数・位相差 (時間差) を検出する。チャージポンプは位相比較器からの誤差信号が出力されている間 MOS-FET スイッチを ON 状態にする。つまり、チャージアップ (up) 信号が出力されている場合は pMOS スイッチが ON 状態となり電流 I_{up} が流れ、LPF (Low Pass Filter) のコン

デンサ C に電荷を注ぎ込むことにより LPF 出力電圧を増加させる。また逆にチャージダウン (down) 信号が出力されている場合は nMOS スイッチが ON 状態となり電流 I_{down} が流れ、コンデンサ C から電荷を接地電位に近づけるようにくみ出すことにより LPF 電圧を減少させる。この動作原理から、図 1 に示す pMOS と nMOS スイッチにより構成される回路をチャージポンプと呼ぶ。図 2 において、位相誤差パルスが出力されている間だけ VCO 制御電圧の更新量が大きくなっているのは位相補償用に挿入されている R_2 の大きさの抵抗において $I_{up}R_2$ もしくは $I_{down}R_2$ なる電圧変化が発生するためである。この抵抗はダンピング抵抗と呼ばれている。

このようにして VCO の発振周波数を上げ下げすることによりプログラブル分周器出力クロックの位相を制御して基準信号と位相同期をさせる。位相同期時には

$$f_o = D \times f_r$$

が成立し、分周数 D を変更することにより基準周波数 f_r の D 倍の VCO 発振周波数 f_o を、 f_r 間隔で作り出す(合成する)ことができる。

2-2 スプリアスの発生要因

PLL 周波数シンセサイザは、前節で述べたようにダンピング抵抗が挿入されているが、これは収束特性を安定化させるためである。この抵抗の影響により、LPF 出力には周期的な誤差パルスが出力される。

図 1 のように負帰還システムである PLL 周波数シンセサイザでは、原理的に常に目標周波数を中心に VCO 発振周波数が振動している。従って、基準信号周期で LPF 出力には常に誤差パルスの影響が残留している。ダンピング抵抗は収束安定性の面では効果は大きいですが、反面、基準周波数ごとに出力される誤差パルスはスプリアスを発生させる要因となる。図 3 に VCO 発振信号実

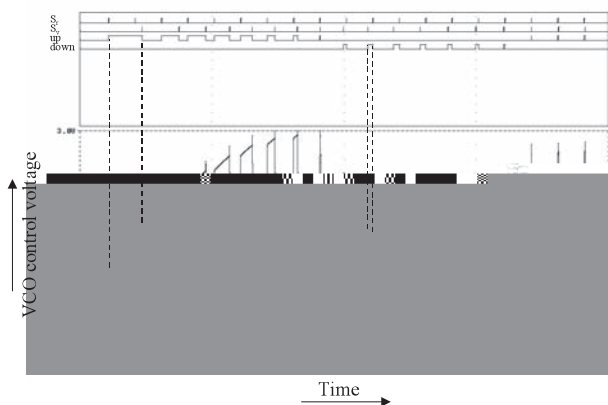


図 2 典型的な各部の動作タイムチャート
Fig. 2. Operating time chart at each typical part

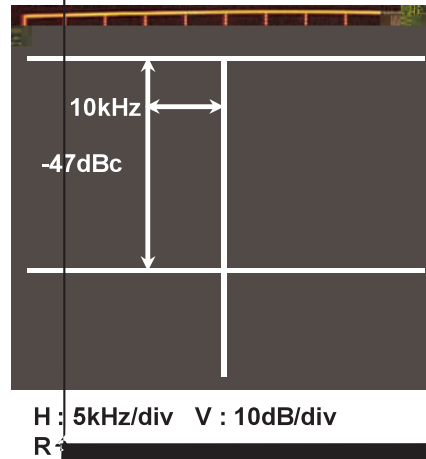


図 3 PLL 周波数シンセサイザのスペクトル
Fig. 3. Spur spectrum of PLL frequency synthesizer

験結果のスペクトル波形の一例を示す。図 3 では、発信周波数中心のスペクトルに対し、基準周波数だけ左右に離れた位置に、スプリアス(不要輻射)が存在することが確認できる。これは先に述べた LPF 出力に残留する基準周波数周期の誤差パルスにより VCO が変調されることに起因する現象である。これはレファレンスリークとも呼ばれる現象である。

このスプリアスを抑圧する手法の一つとして、ノッチフィルタを用いる手法が提案され、現在までに多くの適用事例がある。しかし、適用事例の報告のみで、ノッチフィルタが PLL 周波数シンセサイザの安定性に及ぼす影響については議論されていない。そこで、本論文では、この影響について検討を行い、その結果、ノッチフィルタを適用した PLL 周波数シンセサイザにおいて、所望する位相余裕に対しては、コンデンサ C とダンピング抵抗 R の組み合わせがおのずと決まり、ノッチフィルタによる安定性に対する悪影響を抑えるために、構成要素の一つである LPF の素子値を決定する設計指針を得て、PLL 周波数シンセサイザの安定性に関する理論を明らかにした。

3 . ノッチフィルタを適用した PLL 周波数シンセサイザの特性解析

3-1 解析モデル

図 4 にノッチフィルタを適用した PLL 周波数シンセサイザの位相に関する等価回路を示す。また図 5 に LPF とノッチフィルタの従属接続構成を示す。ノッチフィルタを使用しない、通常の PLL 周波数シンセサイ

ザと比較して、LPF と VCO の間にノッチフィルタを挿入する構成となっている。

次に、伝達関数を求める。VCO の前段において、ノッチフィルタによって基準周波数成分のみを減衰させることにより、リファレンス・リークを除去することができる。なお、以降では、LPF として現在主流となっている電流型のチャージポンプを利用することを想定する。

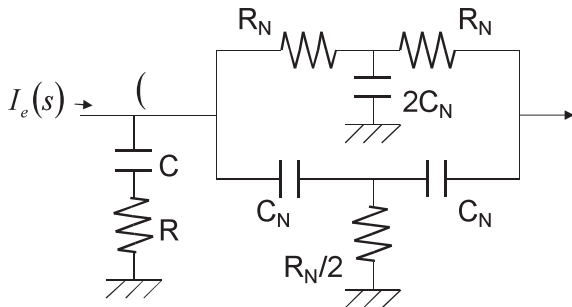


図4において、等価回路は負帰還動作をおこなっていることから、式(2)が成り立つ。

$$I_e(s) \cdot K_p \cdot F_N(s) \cdot K_{VCO} \cdot \frac{1}{sD} = I_o(s)$$

ここで 各記号を以下に示す。

- $\phi_o(s)$: 基準位相 [rad]
- $\phi_i(s)$: 比較される位相 [rad]
- $\phi(s)$: 位相差 = $(\phi_o(s) - \phi_i(s))$ [rad]
- K_p : 位相比較器とチャージポンプの位相差 - 電流変換利得 [A/rad]
- $I_e(s)$: チャージポンプの出力誤差電流 [A]
- $I_o(s)$: LPF とノッチフィルタの従属接続回路の電流

- 電圧変換伝達関数 [V/A]

$V_o(s)$: ノッチフィルタの出力電圧 [V]

K_{VCO} : 電圧 - 角周波数変換利得 [rad/s/V]

D : 分周回路の分周比

式 を整理すると PLL のクローズドループ利得 $H(s)$ が求まり、その値は式 となる。

なお $A(s)$ は PLL 周波数シンセサイザのオープンループ利得、 K はループ利得である。

$$H(s) = \frac{\phi_o(s)}{\phi_i(s)} = \frac{\frac{K_p K_{VCO} F_N(s)}{sD}}{1 + \frac{K_p K_{VCO} F_N(s)}{sD}} = \frac{\frac{KF_N(s)}{s}}{1 + \frac{KF_N(s)}{s}} = \frac{A}{1+A(s)}$$

$$A(s) = \frac{KF_N(s)}{s}$$

$$K = \frac{K_p K_{VCO}}{D}$$

次に、LPF とノッチフィルタの従属接続構成の伝達関数を求める。図5より、次の連立方程式が成り立つ。

$$V_o(s) = AI_o(s)$$

$$V_o(s) - V_o(s) = BI_o(s)$$

$$V_o(s) - V_o(s) = CI_o(s)$$

$$V_o(s) - V_o(s) = BI_o(s)$$

$$V_o(s) - V_o(s) = CI_o(s)$$

$$V_o(s) = \frac{B}{2}(I_o(s) + I_o(s))$$

$$V_o(s) = \frac{C}{2}(I_o(s) + I_o(s))$$

$$I_o(s) = I_o(s) + I_o(s) + I_o(s)$$

ここで、

$$A = R + \frac{1}{sC}$$

$$B = R_N$$

$$C = \frac{1}{sD_N}$$

式 を、式 及び に代入すると次式を得る。

$$V_o(s) = AI_o(s) - BI_o(s)$$

$$V_o(s) = AI_o(s) - CI_o(s)$$

式 及び を式 ~ に代入すると、次式の行列を得る。

$$\begin{bmatrix} A & -B & 0 & -B \\ A & 0 & -C & C \\ -A & 0 & C + \frac{B}{2} & \frac{B}{2} \\ -A & B + \frac{C}{2} & 0 & -\frac{C}{2} \end{bmatrix} \begin{bmatrix} I_1(s) \\ I_2(s) \\ I_3(s) \\ I_4(s) \end{bmatrix} = \mathbf{Z} \begin{bmatrix} I_1(s) \\ I_2(s) \\ I_3(s) \\ I_4(s) \end{bmatrix} = \begin{bmatrix} V_o(s) \\ V_o(s) \\ 0 \\ 0 \end{bmatrix}$$

ここで、求めたいループフィルタの伝達関数式は次の

ように与えられる。

$$F_N(s) = \frac{V_o(s)}{I_e(s)}$$

式 (1) の行列 Z の逆行列を計算し、 $I_1(s)$ 、 $I_2(s)$ 、及び $I_3(s)$ を算出する。これらを式 (2) に代入して $I_1(s)$ を求め、 $I_2(s)$ を式 (3) に代入することにより式 (4) の伝達関数 $F_N(s)$ を得る。

$$F_N(s) = \frac{(1 + CRs)(1 + C_N^2 R_N^2 s^2)}{s \left\{ \begin{aligned} &(CC_N^2 R_N^2 + 4CC_N^2 RR_N^2 s) \\ &+ (4C_N^2 R_N + 4CC_N R_N + 4CC_N R)s \\ &+ (C + 4C_N) \end{aligned} \right\}} \quad (5)$$

この伝達関数より、分子における積を与える 2 つの項は、それぞれ、LPF とノッチフィルタが単独で存在する場合と従属接続時に変化しない場合についての確認を可能にする。従って、ノッチ周波数は、

$$f_{notch} = \frac{1}{2\pi C_N R_N} \quad (6)$$

となり、LPF とノッチフィルタを従属接続する場合も単独の場合と同様に独立して設計できることがわかる。

なお、ノッチフィルタを適用しない場合の LPF の伝達関数 $F(s)$ は式 (7) となる。

$$F(s) = \frac{1 + sCR}{sC} \quad (7)$$

この場合のクロードループ利得やオープンループ利得は、式 (8) 及び (9) においてフィルタの伝達関数を $F(s)$ に置き換えれば、ノッチフィルタを適用しない場合の特性が得られる。

4. ノッチフィルタの有無による位相余裕の比較

4-1 位相余裕の解析

ここでは PLL 周波数シンセサイザの安定性を評価するために、ノッチフィルタの有無による位相余裕の解析を行った。位相余裕とは、オープンループ利得の大きさが 1 になる周波数における発振余裕（発振しないことに対する余裕）である。PLL 周波数シンセサイザは負帰還システムであるため、例えば、オープンループ利得が 1 になる周波数でのオープンループ利得の位相回転が 180 度の場合、全体の位相回転は負帰還による位相回転が 180 度になる場合には、オープンループ利得の位相回転と合わせて 360 度となって、正帰還となり、この周波数において発振現象が起こりやすい。また、180 度に近くなる場合には、PLL 周波数シンセサイザの出力周波数が目標値に収束する場合に発生するオーバーシュートやアンダーシュート量が大きくなり、収束安定性が劣化

する。

位相余裕は、オープンループ利得の s に $j\omega$ を代入し、大きさが $|A(j\omega)| = 1$ になる位相 $\angle A(j\omega)$ を用いて、

$$|\pi - \angle A(j\omega)| \quad (8)$$

で定義される。一般的に位相余裕は 45 度程度が目標値となる^[4]。

解析に使用した LPF のコンデンサ容量 C とダンピング抵抗 R 以外の解析パラメータは表 1 の通りである。

表 1 理論計算パラメータ
Table 1 Parameter under theoretical calculation

Item	Value
Rn	1000
Cn	15.9pF
f_{notch} (This is the same as the reference frequency)	1MHz
Kp	0.000127324 A/rad
Kvco	62831853.07 rad/s/V
D	5

図 6 にノッチフィルタを使用しない場合の位相余裕の解析結果を示す。

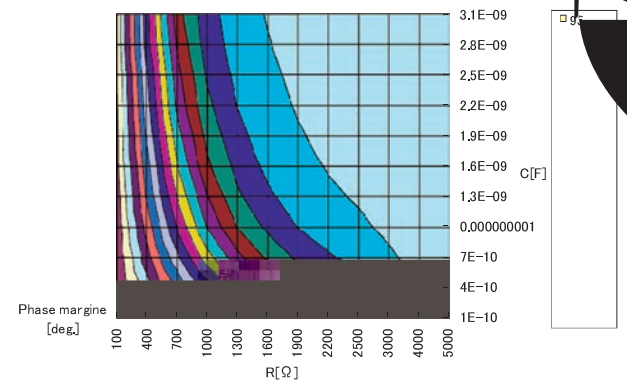
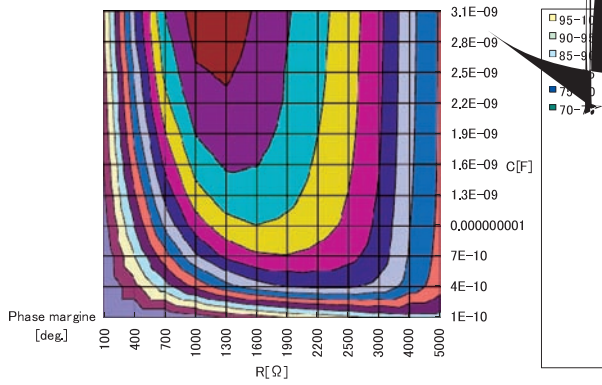


図 6 ノッチフィルタを使用しない場合の位相余裕
Fig. 6. Phase margin in case of not using notch filter

横軸及び縦軸はそれぞれ、LPF のダンピング抵抗 R 及びコンデンサ容量 C である。位相余裕については、図中で色を用いて、図中の右にある値で示している。例として図 6 において、コンデンサ容量 C が 700pF、ダンピング抵抗が 3000 Ω の場合、図 6 から位相余裕は 80 ~ 85 [deg] であることを示す。図 6 では、コンデンサ容量 C を一定にした状態で、ダンピング抵抗 R を増加させ

ると、位相余裕が単調に増加するため、あらゆるコンデンサ容量Cに対して目標の位相余裕を確保することが可能である。この場合は系としてかなり安定している。

次に、図7にノッチフィルタを適用する場合の位相余裕を示す。



例として図7において、コンデンサ容量Cが700pF、ダンピング抵抗が3000 の場合、図7から位相余裕は40 ~ 45 [deg]であることを示す。ノッチフィルタ(図5に示す)を適用する場合に、一定の共振周波数、ダンピング抵抗を増加させると、ダンピング抵抗の増加に対して下位周波数帯域の位相余裕が減少する。本論文の表1で示したように、コンデンサ容量が550pF(図7で示す)以下の場合、ダンピング抵抗を増加させると、位相余裕が減少する。ただし、共振周波数が増加すると、位相余裕が増加する。したがって、共振周波数を一定に保ち、ダンピング抵抗を増加させると、位相余裕が増加する。したがって、共振周波数を一定に保ち、ダンピング抵抗を増加させると、位相余裕が増加する。

場合の、フィルタの振幅特性、フィルタの位相特性、オープンループ利得の振幅特性、オープンループ利得の位相特性、及びクローズドループ利得の振幅特性を示す。

赤色でフィルタの位相余裕度を示す。ノッチフィルタを適用しない場合、図 6 より分かるように、約89度の位相余裕が確保されている。これは、ダンピング抵抗の効果により、LPF の位相が 0 に戻るように変化するため、またオープンループ利得が 1 となる700kHz 付近では LPF の位相遅れはほぼ 0 である。従って、十分な位相余裕が確保できる。このようにノッチフィルタを適用しない場合は、ダンピング抵抗を大きくすることにより位相余裕を確保できる。これが、ノッチフィルタを適用する場合との大きな違いになることを次に説明する。

4-3 ノッチフィルタを適用した場合の位相余裕の解析

ノッチフィルタを適用した場合に位相余裕が減少する原因を説明する。図13～図17はそれぞれ、ノッチフィルタを適用した場合の、フィルタの振幅特性、フィルタの位相特性、オープンループ利得の振幅特性、オープンループ利得の位相特性、及びクローズドループ利得の振幅特性を示す。LPF の抵抗 R は3k Ω 、コンデンサ容量 C は 2.8nF である (図 6 : 位相余裕85~90、図 7 : 位相余裕 45~50)。なお、図16において、位相の変化が不連続な箇所があるが、位相の表示を -180 ~ 180 度の範囲に限定したために起こる現象であり、本来は連続的な変化である。

図13及び図14では、赤色でフィルタの位相余裕度を示す。ノッチフィルタがない場合は位相遅れが 0 になるが、図13及び図14より、ノッチフィルタを適用した場合、ノッチ周波数よりも低周波数側では、位相は -180 度に向かって遅れていくような変化をし、図15のオープンループ利得が 1 となる周波数である200kHz 付近では、LPF の位相が遅れた状態にある。このことが、ノッチフィルタを

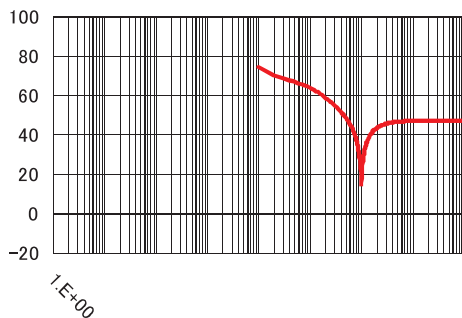


図13 フィルタの振幅特性 (ノッチフィルタを適用)
Fig. 13. Amplitude characteristics of filter (under applying notch filter)

適用する場合に位相余裕が小さくなる理由である。このフィルタの位相遅れはダンピング抵抗を大きくしてもなお残る。この場合、位相余裕は図 7 よりほぼ46度である。図17のクローズドループ利得において、200kHz 付近に存在するピークは位相余裕が低いことにより発生している。

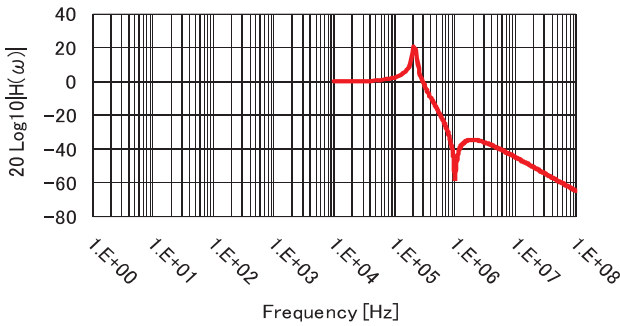


図17 クローズドループ利得の振幅特性 (ノッチフィルタを適用)
 Fig. 17. Amplitude characteristics of closed loop gain (under applying notch filter)

通常、LPF を個別部品で実装する場合は、nF オーダーのコンデンサを用いることは容易であり、ノッチフィルタを用いても十分な位相余裕は確保できる。

しかし、LPF を LSI 中に集積化する場合に、コンデンサ容量の許容値は最大でも100pF 程度である。そのため、その値のコンデンサを使用した場合、ダンピング抵抗を大きくしても、ダンピング抵抗による LPF の位相が 0 度に向かって戻れないことにより、ノッチ周波数において、位相が -180 度に向けて近づくため、位相余裕の確保が非常に困難となる。このことは、ノッチ周波数において、PLL 周波数シンセサイザの安定性に不安が残ることになる。

5 . PLL 周波数シンセサイザの過渡応答

理論解析の妥当性を確認するために、PSpice による回路シミュレーションを行った。解析条件を表 2 に示す。また、図18にシミュレーション回路の構成を示す。

図19に VCO 制御電圧の過渡応答を示す。図19の過渡応答より、収束後のダンピング抵抗の影響による周期的な誤差パルスがノッチフィルタを適用することにより抑圧されていることが確認できる。

また図20の VCO 発振信号スペクトルより、スプリアスレベルが -99dBc から -122dBc まで約23dB 抑圧されており、ノッチフィルタの挿入によるスプリアスの抑圧効果が確認できる。

図21にノッチフィルタを適用しない例を示し、図22にはノッチフィルタを適用した例を示すことで、各々の例でダンピング抵抗を増加させた場合の過渡応答の変化を示す。図21のようにノッチフィルタを適用しない場合、ダンピング抵抗を増加させないと、リングングを抑圧できないことが確認できる。

一方、図22のようにノッチフィルタを適用する場合、ダンピング抵抗が少なくても、リングングを抑圧できる

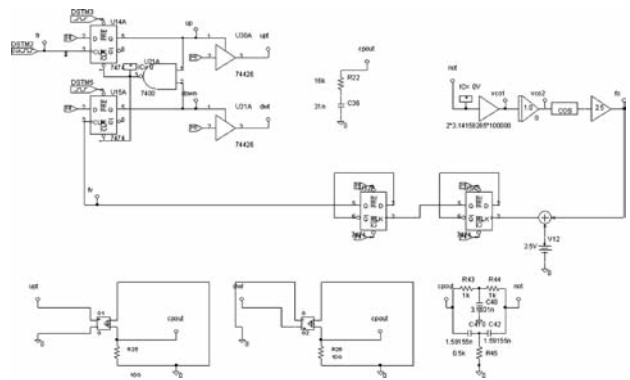
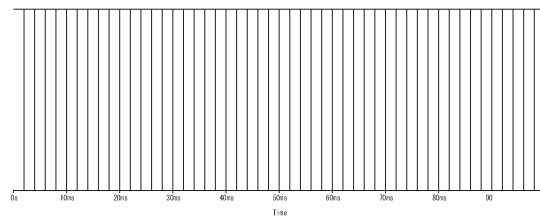


図18 シミュレーション回路
 Fig. 18. Simulation circuit



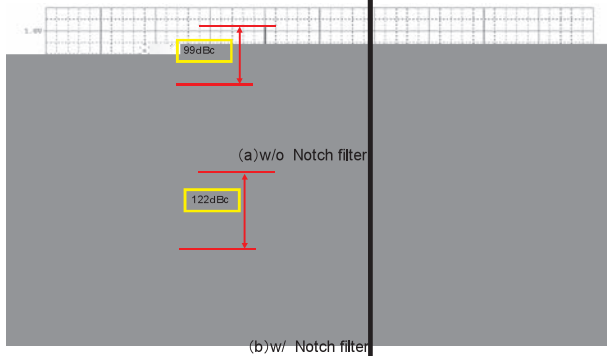


図20 VCO 発振信号スペクトル (上段 : w/o notch filter、下段 : w/notch filter)
 Fig. 20. Oscillation signal spectrum of VCO (Upper: w/o notch filter, Lower: w/notch filter)

ことが確認できる。また、さらにダンピング抵抗を増加させていくと、逆にリングングが強くなるので、その中間に最適なダンピング抵抗値が存在することが分かる。

これらの特性は、3章・4章で述べた位相余裕に関する理論解析・シミュレーションから得られる結論と同一である。

4・5章から、以下のことが分かった。

1. 位相余裕の解析結果から、ノッチフィルタを適用して特性改善した PLL 周波数シンセサイザを設計する場合、PLL シンセサイザは LSI 本体の中に組み込むことは当然として、特に LPF を LSI の中に集積化する場合、安定性確保に必要な位相余裕を確保できない。
2. ノッチフィルタを適用した LPF の LSI への組み込みはできないので、ノッチフィルタによる過渡応答とスプリアス特性と安定性（位相余裕確保）に関して、コンデンサ C の値は制約を受けずに、LPF に使用するコンデンサ C の値とダンピング抵抗 R の値を選択する設計指針が得られた。

6. むすび

あらゆる無線通信機器において必要不可欠な装置である PLL 周波数シンセサイザにおいて、スプリアスを抑圧するためにノッチフィルタを用いる手法が提案され、現在までに多くの適用事例がある。しかし、これらの報告は、適用事例のみで、ノッチフィルタを適用した場合に位相余裕が小さくなる現象が知られているものの、それについての報告が無く、また PLL 周波数シンセサイザの安定性に対する影響は議論されてこなかった。

本論文では、PLL 周波数シンセサイザにおいてスプリアスを抑圧するために、PLL 周波数シンセサイザに、ノッチフィルタを適用する場合と適用しない場合の位相余裕を解析し、収束安定性の評価を行った。得られた結論を以下に列挙する。

ノッチフィルタ付き PLL 周波数シンセサイザにおいて、LPF とノッチフィルタの従属接続構成の伝達関数を導いた。

LPF とノッチフィルタの従属接続時の場合と、ノッチフィルタ単独の場合のノッチ周波数は、変化しないことを理論的に確認した。

ノッチフィルタを適用する場合、位相余裕がダンピング抵抗の増加に対し下に凸形状に変化することを確認した。

さらに、ノッチフィルタを適用した場合に位相余裕

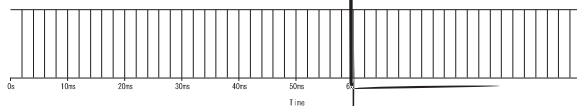


図21 過渡応答 (w/o notch filter、上から順に、R=1k、6k、21k、61k、及び96k)
 Fig. 21. Transient response of (w/o notch filter, from upper R=1k, 6k, 21k, 61k and 96k)

が小さくなる理由を明らかにした。つまり、ノッチフィルタの位相特性により、オープンループ利得の位相遅れが大きくなることに起因するためである。ノッチフィルタを適用した場合、LPFのコンデンサCの容量が低くなるにつれ位相余裕が減少し、ダンピング抵抗を増加させても、位相余裕の目標値である45°前後に対し、目標である位相余裕の向上がはかれないことが分かった。

位相余裕の解析結果から、ノッチフィルタを適応して特性改善したPLL周波数シンセサイザを設計する場合、PLLシンセサイザはLSI本体の中に組み込むことは当然として、特にLPFをLSIの中に集積化する場合、安定性確保に必要な位相余裕を確保できないことが分かった。

さらに、以下のような設計指針が得られた。ノッチフィルタを適用したLPFのLSIへの組み込みはできないので、ノッチフィルタによる過渡応答とスプ

リアス特性と安定性(位相余裕確保)に関して、コンデンサCの値は制約を受けずに、LPFに使用するコンデンサCの値とダンピング抵抗Rの値を選択する設計指針が得られた。

参考文献

- [1] 小沢利行、“PLL周波数シンセサイザの回路設計法”、総合電子出版、1994。
- [2] 松本一弘、鍋嶋秀生、神田実、村尾誠治、奥村浩一、“小電力型ワイヤレス携帯受信器”、松下電工技報、pp.35-40, Feb. 2001。
- [3] “Phase frequency detector data sheet MC4344”
- [4] 渡辺一雄、“実用アナログ電子回路設計法”、総合電子出版、June 1996。

(受付日2009年12月15日 受理日2010年3月17日)